

CLIPPEDIMAGE= JP363248164A

PAT-NO: JP363248164A

DOCUMENT-IDENTIFIER: JP 63248164 A

TITLE: TRANSISTOR

PUBN-DATE: October 14, 1988

INVENTOR-INFORMATION:

NAME

KUSANO, CHUSHIRO

TAGAMI, TOMONORI

MITANI, KATSUHIKO

MISHIMA, TOMOYOSHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP62080985

APPL-DATE: April 3, 1987

INT-CL (IPC): H01L029/72;H01L029/203

US-CL-CURRENT: 257/23,257/197

ABSTRACT:

PURPOSE: To obtain a hetero-junction bipolar transistor operating at high speed by using a superlattice, in which the cycle period of the film thickness of superlattice structure gradually increases toward the collector side from the emitter side, as a base layer.

CONSTITUTION: An N<SP>+</SP> type GaAs layer 32 is formed onto an N-type GaAs substrate 31 as a collector layer, and an N<SP>-</SP> type GaAs layer 33 is shaped onto the layer 32. A base layer 34 consisting of the superlattice structure of a P-type AlGaAs layer and an un-doped GaAs

layer is formed onto the layer 33. In this case, the film thickness of the P-type layer is kept constant, the film thickness of the undoped layer is maximized on the collector side and minimized on the emitter side, and the film thickness of the undoped layer is reduced gradually toward the emitter side from the collector side. An N-type AlGaAs layer 35 is shaped as an emitter layer. Accordingly, the base transit time of carriers injected from an emitter is shortened by a tunnel effect and an internal electric field, thus realizing the increase of working speed.

COPYRIGHT: (C)1988,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-248164

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和63年(1988)10月14日

H 01 L 29/72
29/2038526-5F
8526-5F

審査請求 未請求 発明の数 1 (全6頁)

⑬ 発明の名称 トランジスタ

⑰ 特 願 昭62-80985

⑱ 出 願 昭62(1987)4月3日

⑲ 発 明 者 草 野 忠 四 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 田 上 知 紀 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 三 谷 克 彦 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 三 島 友 義 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称

トランジスタ

2. 特許請求の範囲

1. ベース領域とエミッタ領域とコレクタ領域とを具備して成るヘテロ接合バイポーラトランジスタにおいて、上記ベース領域が超格子構造から成り、かつ該ベース領域の超格子構造の膜厚の繰り返し周期が異なっていることを特徴とするトランジスタ。
2. 上記ベース領域の超格子構造の膜厚の繰り返し周期が、エミッタ領域側からコレクタ領域側へ漸次増加していることを特徴とする特許請求の範囲第1項記載のトランジスタ。
3. 上記ベース領域の超格子構造が、p型もしくはアンドープの第1の半導体層と、該第1の半導体層より電子親和力が大きく、かつエネルギーギャップの小さなp型もしくはアンドープの第2の半導体層との繰り返しから成り、上記第1の半導体層の膜厚は、電子がトンネル効果に

より容易に通過できるように充分薄く、かつ上記第2の半導体層の膜厚の繰り返し周期が上記エミッタ領域側から上記コレクタ領域側へ向かって漸次増加しており、npn型バイポーラトランジスタが構成されていることを特徴とする特許請求の範囲第1項記載のトランジスタ。

4. エミッタ領域を構成する半導体層の電子親和力とエネルギーギャップとの和の値が、上記ベース領域を構成する上記第1の半導体層および上記第2の半導体の該値より大きいことを特徴とする特許請求の範囲第3項に記載のトランジスタ。
5. 上記ベース領域の超格子構造が、n型もしくはアンドープの第3の半導体層と、該第3の半導体層より電子親和力とエネルギーギャップとの和およびエネルギーギャップが各々小さなn型もしくはアンドープの第4の半導体層の繰り返しから成り、上記第3の半導体層の膜厚は、正孔がトンネル効果により容易に通過できるように充分薄く、かつ上記第4の半導体層の膜厚

の繰り返し周期が上記エミッタ領域側から上記コレクタ領域側へ向かって漸次増加しており、 pnp 型バイポーラトランジスタが構成されていることを特徴とする特許請求の範囲第1項記載のトランジスタ。

6. 上記エミッタ領域を構成する半導体層の電子親和力の値が、上記ベース領域を構成する上記第3の半導体層および第4の半導体層の該値よりも小さいことを特徴とする特許請求の範囲第5項記載のトランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、トランジスタに係り、特に、高い電流増幅率を有し、高速動作に好適なヘテロ接合バイポーラトランジスタに関する。

(従来の技術)

従来のヘテロ接合バイポーラトランジスタは、例えば、昭和58年出願公開第142574号に記載されている。従来のこのようなトランジスタは、ベース領域が周期の様な超格子構造で形成され、か

を提供することにある。

(問題点を解決するための手段)

本発明は、上記目的を達成するために、超格子構造により構成されるベース領域において、該ベース領域の超格子構造の膜厚の繰り返し周期が異なっていることを最も主要な特徴とする。

さらに詳しく述べると、上記構造において、注入された電子または正孔がトンネル効果により通過できるように障壁層を充分薄くし、かつ各層の組成、ドーピングレベルを変え、かつ各層の膜厚を変化させ、各層の膜厚の繰り返し周期がエミッタ領域側からコレクタ領域側へ向かって漸次増加する構造とする。

(作用)

第1図(a)は、本発明の代表的な例としての $n-p-n$ 型ヘテロ接合バイポーラトランジスタのバンド構造を示す図、(b)は、該トランジスタのベース領域のバンド構造を示す図である。以下、その動作を説明する。

図において、11はエミッタ領域、12はベース領

域、該超格子構造のドーピングレベルがエミッタ領域側からコレクタ領域側へ漸次減少する構造を有していた。このトランジスタにおいては、エミッタ領域から注入された電子または正孔が、ベース領域中を拡散するのに加え、トンネル効果および内部電界によるドリフトによって移動するため、ベース領域における電子または正孔の走行時間が大幅に短縮され、高速化が可能となった。

(発明が解決しようとする問題点)

上記の従来技術のトランジスタでは、ベース領域中に内部電界を形成する構成のため、超格子構造を構成する各層毎に順次ドーピングレベルを変える手法が用いられていた。しかし、このような構造では、製造プロセス上、その制御性、再現性に問題を生じ易い問題がある。さらに、ベース領域からの正孔のエミッタ領域への注入を防止することは十分ではなかった。

本発明の目的は、再現性良く作製可能な超格子構造から成るベース領域を有し、高速特性を実現できるヘテロ接合バイポーラトランジスタの構造

域、13はコレクタ領域、14はベース領域12の超格子構造を構成する p 型もしくはアンドープの第1の半導体層、15はベース領域12の超格子構造を構成する p 型もしくはアンドープの第2の半導体層、 E_v は価電子帯、 E_F はフェルミレベル、 E_c は伝導帯をそれぞれ示す。

$n-p-n$ 型トランジスタの場合は、ベース領域12が p 型もしくはアンドープの第1の半導体層14と p 型もしくはアンドープの第2の半導体層15との超格子構造から成り、第2の半導体層15の電子親和力は、第1の半導体層14より大きく、また、 p 型もしくはアンドープの第2の半導体層15のエネルギーギャップは、第1の半導体層14より大きい。また、第1の半導体層14の各膜厚は、電子がトンネル効果によって通過できるように充分薄い構造となっている。さらに、第2の半導体層15の膜厚の繰り返し周期は、エミッタ領域11側からコレクタ領域13側へ向かって漸次増加するように形成されている。

このような構造において、ベース領域12の伝導

帯には、量子レベルが形成される。そのエネルギーレベルは、第2の半導体層15の膜厚によって異なり、該層の膜厚が薄いほど高く、厚くなるにつれて次第に低くなっていく。したがって、(b)に示すようなバンド構造を有するベース領域が構成されると、伝導帯に形成されるサブバンドのエネルギーレベルは、エミッタ領域11側ほど高く、コレクタ領域13側へ行くにつれて次第に低くなっていくことは明らかである。このような状況において、エミッタ領域11側から注入された電子は、上述のようにベース領域12内に形成された傾斜したサブバンドを走行してコレクタ領域13に到達する。この際、電子は傾斜したサブバンド内において生じた実効的な内部電界により加速されるため、注入電子は拡散による場合よりもさらに走行時間を小さくすることが可能となる。また、ベース領域12を構成する例えば AlGaAs 層は、多層化する超格子構造により、エミッタ領域13への正孔の注入を防止でき、電子のベース注入効率が高くなる。

の和、およびエネルギーギャップは、第3の半導体層24よりもそれぞれ小さい。また、第3の半導体層24の各膜厚は、正孔がトンネル効果によって通過できるように充分薄い構造となっている。さらに、第4の半導体層25の膜厚の繰り返し周期は、エミッタ領域21側からコレクタ領域23側へ向かって漸次増加するように形成されている。

このような構造により、 npn 型トランジスタの場合と同様に、エミッタ領域21から注入された正孔は、トンネル効果、および傾斜したサブバンドによる電界効果により、ベース領域における正孔の走行時間が短縮され、高速の pnp 型ヘテロ接合バイポーラトランジスタが実現できる。

なお、第1図および第2図に示したトランジスタにおいて、ベース領域の超格子構造を構成する層14、24の膜厚は約5~30Å、エミッタ領域側からコレクタ領域側へ向かって漸次膜厚を増加させる層15、25の膜厚は約5~200Åが適用範囲として望ましい。

(実施例)

以上述べたような作用により、本発明の構造を有する npn 型ヘテロ接合バイポーラトランジスタでは、高速特性を得ることが可能となる。

第2図(a)は、本発明の代表的な別の例として pnp 型ヘテロ接合バイポーラトランジスタのバンド構造を示す図、(b)は、該トランジスタのベース領域のバンド構造を示す図である。

図において、21はエミッタ領域、22はベース領域、23はコレクタ領域、24はベース領域22の超格子構造を構成する n 型もしくはアンドープの第3の半導体層、25はベース領域22の超格子構造を構成する n 型もしくはアンドープの第4の半導体層、 E_v は価電子帯、 E_F はフェルミレベル、 E_c は伝導帯を示す。

ベース領域を走行する少数キャリアが正孔である pnp 型トランジスタの場合は、第2図に示すように、ベース領域22が n 型もしくはアンドープの第3の半導体層24と n 型もしくはアンドープの第4の半導体層25との繰り返しから成り、第4の半導体層25の電子親和力とエネルギーギャップと

実施例 1

第3図は、本発明の第1の実施例の、コレクタ電極を基板裏側に設けた npn 型トランジスタの断面構造を示す図である。

第3図において、31は n 型 GaAs 基板、32は n^+ 型 GaAs 層(コレクタ層)、33は n^- 型 GaAs 層、34は超格子構造から成るベース層、35は n 型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(エミッタ層)、36は n 型 GaAs 層、37はコレクタ電極、38はエミッタ電極、39はベース電極である。

まず、 Si を $2 \times 10^{18} \text{ cm}^{-3}$ 含有する n 型 GaAs 基板31上にMBE法により Si を $2 \times 10^{18} \text{ cm}^{-3}$ 含有する n^+ 型 GaAs 層32をコレクタ層として膜厚5000Å形成し、次いで、 Si を $1 \times 10^{18} \text{ cm}^{-3}$ 含有する n^- 型 GaAs 層33を膜厚3000Å形成する。

次に、 Be を $2 \times 10^{19} \text{ cm}^{-3}$ 含有する p 型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層($x \sim 0.3$)とアンドープ GaAs 層との超格子構造から成るベース層34を形成する。ここでは、 p 型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($x \sim 0.3$)層の膜厚を各々20Åと一定に形成し、アンドープ GaAs 層

の膜厚をコレクタ側で最大となり、エミッタ側において最小となるように、コレクタ側からエミッタ側へ向かってアンドープGaAs層の膜厚が徐々に減少するように形成する。ここでは、コレクタに最も近い層の膜厚を100Åとし、エミッタに向けて順次5Åずつ減少させ、アンドープGaAs層の16層目がエミッタに最も近い層で、25Åの膜厚となるようにし、全体で1320Å厚の超格子ベース層34を形成する。

次に、Siを $5 \times 10^{17} \text{ cm}^{-3}$ 含有するn型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層35 ($x \sim 0.3$) をエミッタ層として膜厚2000Å形成し、さらに、オーミック電極を取り出し易くするためにSiを $3 \times 10^{18} \text{ cm}^{-3}$ 含有するn型GaAs層36を膜厚2000Å形成した。

次に、図示しない SiO_2 膜をCVD法により全面に膜厚3000Å形成した後、裏面にコレクタ電極37としてAuGe/Ni/Au層を真空蒸着し、通常のホトリソグラフィを用いてn型GaAs層36へエミッタ電極38としてAuGe/Ni/Au層を蒸着した。続いて、400℃3分間のアロイを H_2 雰囲気

で行い、オーミック接触を得た。

次いで、通常のホトリソグラフィおよびエッチング法を用いてn型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層35、n型GaAs層36をパターニングした後、真空蒸着、ホトリソグラフィおよびエッチング法によりCr/Au層からなるベース電極39を形成し、300℃、10分間のアロイによりオーミック接触を得、ヘテロ接合バイポーラトランジスタを完成した。

実施例 2

次に、第2図(a)～(b)に示したpnp型トランジスタの実施例について、第4図に示す断面構造図を用いて説明する。

第4図において、41はp型GaAs基板、42はp型GaAs層(コレクタ層)、43はアンドープGaAs層、44は超格子構造から成るベース層、45はp型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(エミッタ層)、46はp型GaAs層、47はコレクタ電極、48はエミッタ電極、49はベース電極である。

このような構造のトランジスタを製造するには、まず、Geを $2 \times 10^{18} \text{ cm}^{-3}$ 含有するp型GaAs基

板41上に、MBE法によりGeを $2 \times 10^{18} \text{ cm}^{-3}$ 含有するp型GaAs層42をコレクタ層として膜厚5000Å形成し、次いでアンドープGaAs層43を膜厚3000Å形成する。

次に、Siを $2 \times 10^{18} \text{ cm}^{-3}$ 含有するn型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層とアンドープGaAs層との超格子構造からなるベース層44を形成する。ここでは、n型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層($x \sim 0.3$)の膜厚を20Åとして一定に形成し、アンドープGaAs層の膜厚をコレクタ側で最大、エミッタ側で最小となるように漸次減少させる。本実施例では、コレクタに最も近いアンドープGaAs層を膜厚100Åとして、エミッタに向けて5Åずつ減少し、ベース層全体の膜厚が約1000Åとなるようにした。その結果、エミッタに最も近いアンドープGaAs層の膜厚は約40Åであった。

次に、Geを $5 \times 10^{17} \text{ cm}^{-3}$ 含有するp型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層($x \sim 0.3$) 45を膜厚1000Å形成し、さらにオーミック電極を取り易くするため、Geを $2 \times 10^{18} \text{ cm}^{-3}$ 含有するp型GaAs層46を膜厚

1000Å形成した。

次に、裏面にコレクタ電極47、エミッタ電極48としてZn/Au蒸着膜を、ベース電極49としてAuGe/Ni/Au蒸着膜を、実施例1で述べたように通常の真空蒸着、ホトリソグラフィ、アロイ化技術を用いて形成し、各々オーミック接触を得、ヘテロ接合バイポーラトランジスタを完成した。

上記実施例1、2では、 AlGaAs/GaAs ヘテロ接合系で本発明を実施した場合について説明したが、他のヘテロ接合系を用いても本発明は有効である。例えば、 InGaAs/InAlAs 、 InP/InGaAsP 、 GaAs/AlGaAsP 、 InP/InGaAs 、 InAs/GaAsSb 、 CdTe/InSb 、 GaSb/InAs 等である。その他、本発明は上記実施例に限定されないのは、言うまでもない。

(発明の効果)

本発明によれば、ベース層にエミッタ側からコレクタ側へ向かって周期が漸次増加する超格子を用いることにより、実効的な内部電界が形成され

るため、エミッタから注入されたキャリアのベース走行時間は、トンネル効果および内部電界によって減少し、高速化が実現される。また、ベース中の成分組成、ドーピングレベルを変えることなく、膜厚制御だけで上述の構造を実現できるため、作製が容易になり、かつ再現性の大幅な改善が可能となる。

4. 図面の簡単な説明

第1図(a)、(b)は、本発明のnpn型ヘテロ接合バイポーラトランジスタのエネルギーバンド図、第2図(a)、(b)は、本発明のpnp型ヘテロ接合バイポーラトランジスタのエネルギーバンド図、第3図は、本発明の第1の実施例のnpn型ヘテロ接合バイポーラトランジスタの断面構造図、第4図は、本発明の第2の実施例のpnp型ヘテロ接合バイポーラトランジスタの断面構造図である。

E_c …伝導帯

E_v …価電子帯

E_F …フェルミレベル

48…エミッタ電極

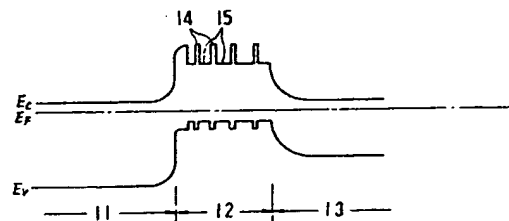
49…ベース電極

代理人弁理士 中村 純之助

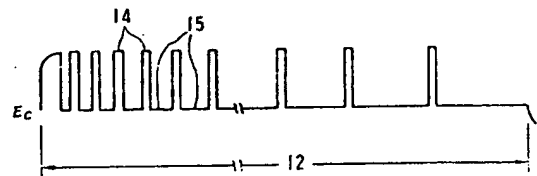
- 11、21…エミッタ領域
- 12、22…ベース領域
- 13、23…コレクタ領域
- 14…p型の第1の半導体層
- 15…p型もしくはアンドープの第2の半導体層
- 24…n型の第3の半導体層
- 25…n型もしくはアンドープの第4の半導体層
- 31…n型GaAs基板
- 32、33、36…n型GaAs層
- 34…GaAs/AlGaAs超格子ベース層
- 35…n型AlGaAs層
- 37…コレクタ電極
- 38…エミッタ電極
- 39…ベース電極
- 41…p型GaAs基板
- 42、46…p型GaAs層
- 43…アンドープGaAs層
- 44…GaAs/AlGaAs超格子ベース層
- 45…p型AlGaAs層
- 47…コレクタ電極

図1

(a)



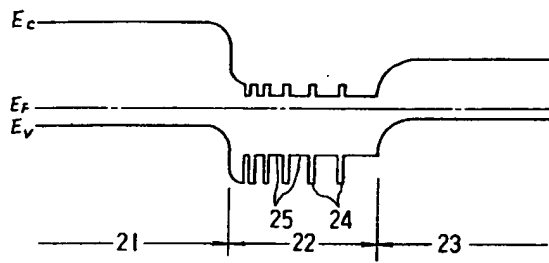
(b)



- 11 エミッタ領域
- 12 ベース領域
- 13 コレクタ領域
- 14 p型もしくはアンドープの第1の半導体層
- 15 p型もしくはアンドープの第2の半導体層

図 2

(a)



(b)

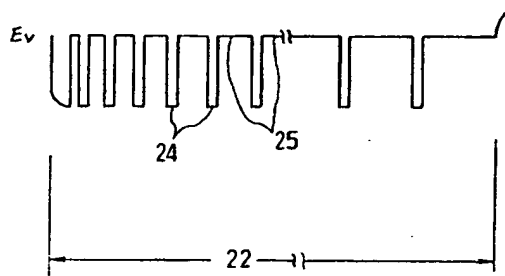


図 3

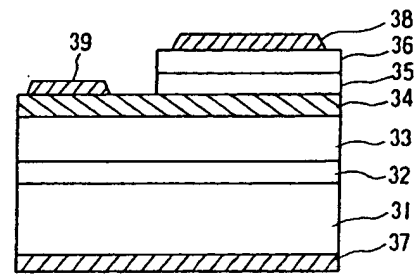


図 4

